

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-030988

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

F02D 45/00

G06F 12/16

(21)Application number : 2000-215627

(71)Applicant : DENSO CORP

(22)Date of filing : 17.07.2000

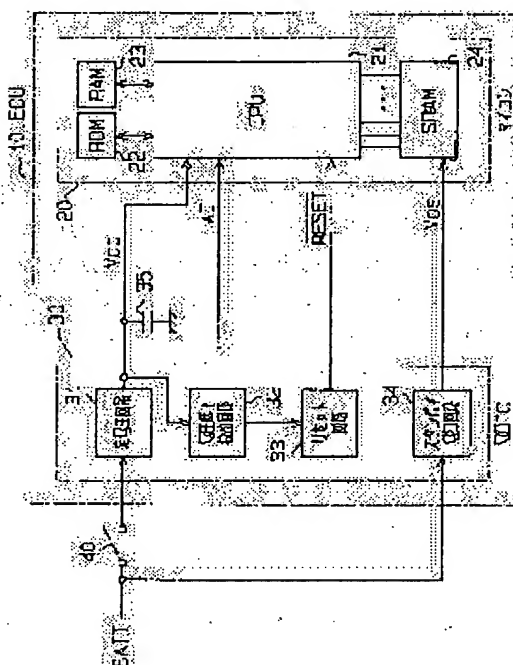
(72)Inventor : TAKEUCHI HIROHARU  
HIGUCHI SATOSHI

### (54) ELECTRONIC CONTROL DEVICE

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electronic control device capable of precisely writing data in a backup memory while suppressing a processing load of a CPU.

**SOLUTION:** An SRAM 24 holds data while an ignition switch 40 is turned off. A CPU 21 not only periodically writes data in the SRAM 24, but also writes data when voltage is dropped, and takes in the data memorized in the SRAM 24 to execute injection/ignition control of an engine. The written data into the SRAM 24 are divided into plural parts. The CPU 21 writes data by a divided unit at a different timing when periodically writing into the SRAM 24, and writes all data to be written when writing at dropping of the voltage.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

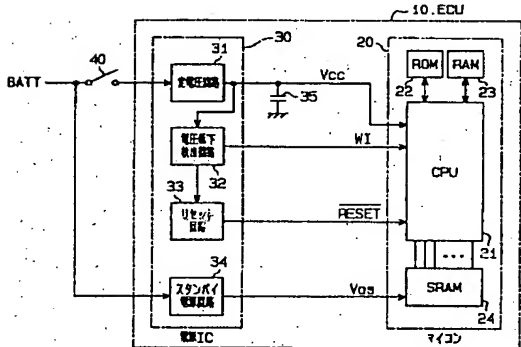
(5) InLCl <sup>+</sup>		P I		T-T <sup>+</sup> (参考)	
F O 2 D	45/00	F O 2 D	45/00	376B	3G084
	376			376E	5B018
G06F 12/18	310	G06F 12/18		310M	
	340			340Q	

(21) 出願番号	特願2000-215627(P2000-215627)
(22) 出願日	平成12年7月17日(2000.7.17)
(71) 出願人	000004280 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(72) 発明者	竹内 登博 愛知県刈谷市昭和町1丁目1番地 株式会社 社デンソー内 飯口 聰
(73) 発明者	愛知県刈谷市昭和町1丁目1番地 株式会社 社デンソー内 10008755 伊理士 原田 博宣 (外1名)
(74) 代理人	伊理士 原田 博宣 (外1名)

図様面に説文

足跡耳に就く

(57) 【要約】  
 [課題] CPUの処理負荷を抑えつつ、バックアップメモリに的確にデータを書き込むことができる電子制御装置を提供する。  
 【解決手段】 SRAM2 4は、イグニッションスイッチ40のオフ時にもデータを保持する。CPU21は、SRAM2 4に定期的にデータを書き込むとともに電圧低下時に電圧低下時にもデータを書き込み、SRAM2 4に記憶されたデータを取り込んでエンジン等の噴射、点火制御等を実施する。SRAM2 4への書き込みデータは指数に分割される。CPU21は、SRAM2 4への定期的なデータ書き込みに関し、分割した単位で異なるタイミングデータを得る書き込み、電圧低下時にデータ書き込みに関し、事故対象の全てのデータを書き込む、



【特許請求の範囲】

【請求項1】 電源スイッチのオフ時にもデータを保持するバックアップメモリと、

前記バックアップメモリに定期的にデータを書き込むとともに電源電圧の低下時にもデータを書き込み、バックアップメモリに記憶されたデータを取り込んで各種制御を実施するCPUと、を備えた電子制御装置において、

前記CPUは、前記バックアップメモリへの定期的なデータ書き込みの際、書き込みべきデータを数値に分類

としてその単位毎に異なるタイミングでデータを書き込む。同時に、電源電圧の低下時のデータ書き込み時に臨

その都度必要な全てのデータを書き込むことを特徴とする。

【請求項2】 請求項1に記載の電子制御装置において

前記書き込みデータを、データ数が均等となるよう分割

【請求項3】 請求項1に記載の電子制御装置において、

て、  
前記書き込みデータを、各種制御毎に分割したことを特

微とする電子制御装置。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は、電源スイッチのオ

フ時にも記憶データを保持するバックアップメモリを備えた電子制御装置に関するものである。

【00002】

(ECU) が知られており、同 ECU では、例えばエン

システムメモリとしてのスタンバイRAM (SRAM) にバ

ツクアツクされている。詳しくは、ECUにおいて、イ  
クニツションスイツチのオフ、或いは電気ノイズ等によ

る電源の遮断に伴い電源電圧が低下したとしても、SRAMには、バックアップ用の電源電圧が供給されて記憶

データが保持されるようになっていく。また、ECUは、エンジン制御等を司るCPUを備え、同CPUは、

イグニッションスイッチのオン等によって電源電圧が復

を実行する。つまり、CPUは、電源の瞬断前の各種制御データを継続的に使用することによりエンジンの制御



(7) が出力される (t3のタイムスリッパ)。その後、電源電圧  $V_{cc}$  がリセット電圧  $V_{th3}$  以上に復帰し、リセット信号 ( $\overline{RESET}$ ) の出力が解除されると (t4のタイムスリッパ)、CPU21により所定の初期化処理が実施された後、図5の処理が、例えば10ms毎に実施される。

【0022】図5のステップ300にて、CPU21は、電圧感圧V<sub>0</sub>cが正常値に復帰したか否かを判定する。ここでは、電圧感圧V<sub>0</sub>cが、しきい値電圧V<sub>th</sub>2（例えば、4.7V）以上となつてから所定時間が経過したか否かで判定する。より具体的に、図2に示すように、電圧感圧V<sub>0</sub>cがしきい値電圧V<sub>th</sub>2まで上昇すると、電圧低下検出回路32がHレベルの電圧検出信号W1が出力される（15のタイムズ）。CPU21は、W1=Hの状態が500ms以上継続したか否かで判定する。そして、図5のステップ300にて否判定された場合、ステップ310に移行することなく本処理を終了する。また、ステップ300にて肯定判定された場合、電圧感圧V<sub>0</sub>cが正常値に復帰した旨を判定し、ステップ310にて書込フラグをOFFにする。これにより、図3のステップ120にて肯定判定されるようになり、定期的な書き込みが実施される。

〔0028〕つまり、図2に示すように、電源電圧 $V$ が変動したとしても、 $W1=H$ の状態が500ms間継続するまでの間は、書きプログラムがONに保持され、定期的に書き込みが禁止される。そして、 $W1=H$ の状態が500ms間継続し、電源電圧 $V$ が定電圧（5V）に徐々に復帰した16のタイミント以降で、書きプログラムがOFFされ、定期的な書き込みが再開される。

【0029】以上詳述した本実施の形態によれば、以下に示す効果が得られる。

(1) 定期的な書き込み時には、複製を分けた単位でデータを書き込む一方、電圧低下時には、全データを書き込む。この場合、データ書き込み時に於けるCPU 2.1の処理負荷の増大を抑えることができる。各制御部における制御性の低化を抑制できる。また、全てのデータにおける制御性の低化を抑制できるように、特に、処理負荷が問題となる大型のBCUにおいて、好適に具体化できる。

【0030】(2) SRAM24への書き込みデータは、データ数均等となるよう第1〜第3データに分割したので、CPU21の処理負荷を均一にでき実用上好ましいものとなる。

【0031】なお本発明は、上記以外の他の形態にて具体化できる。上記実施の形態では、SRAM24への書き込みデータを、第1〜第3データの3つに分割するものであったが、分割数に限定されるものではない。また、第1〜第3データは、それぞれのデータ数が均等となるよう分割するものであったが、これに限るものではない。

ない。例えば、資料・点火制御、トランジェクション制御、電子スロットル制御等の各制御毎に書き込みアドレスを分割してよい。この場合、SRAM24の記憶データは、各制御毎に更新することとなり、各制御毎の制御性を確保できるので、実用上好ましいものとなる。

【0032】上記実施の形態では、電圧低下時に、全てのデータを書き込むようにしたが、これに限るものではない。例えば、水温、吸気温度等の変化、電圧低下時にデータについて、定期的な書き込みや固定、電圧低下時に繰り返し書き込む必要はない。つまり、こうした変化度合の小さなデータを除くデータをその頻度必要なデータとして電圧低下時に書き込むようにしてもよい。

【0033】また、上記実施の形態では、W1=Hの状態500ms間継続したときは、書きプログラムをオプナするようにしたが、例えば、リセット信号（RESET）の検出後に実施される初期化処理にて、書きプログラムをオプナするようにしてもよい。具体的には、初期化処理には所定の時間があり、その処理中に電源電圧Vccが昇し、同処理の最後には電源電圧Vccが正常値まで上昇することがある。この場合、初期化処理の最後で書きプログラムをオプしてもよく、これにより、定期的な書き込みを再開する。といったデータをSRAM24に書き込むことを回避できる。

【0034】上記実施の形態では、バックアップメモリとしてSRAM24を用い、その適用性を説明したが、SRAM24に代えて、EEPROMやフラッシュメモリ等、電気の記憶内容を消去及び書き込み可能な不揮発性メモリを用いてもよい。要は、電気的イच्छのオプ時には記憶内容を保持するメモリであれば、何れにも本発明が適用できる。

【図面の簡単な説明】

【図1】発明の実施の形態におけるECUの概要を示すブロック図。

【図2】SRAMへの書き込み動作を説明するためのタイムチャート。

【図3】定期的な書き込み処理を説明するためのフローチャート。

【図4】電圧低下時の書き込み処理を説明するためのフローチャート。

【図5】電源電圧の復帰後の処理を説明するためのフローチャート。

【図6】従来の定期的書き込みを説明するためのタイムチャート。

【図7】従来の電圧低下時の書き込みを説明するためのタイムチャート。

【符号の説明】

10…ECU、20…マイコン、21…CPU、24…SRAM、40…電源スイッチとしてのイグニッションスイッチ。

でのデータを書き込むようにしたが、これに限るものではない。例えば、気温、気圧湿度等の変化度合の小さなデータについて、定期的な書き込みに加え、竜巻低下時に繰り返し書き込む必要がある。つまり、こうした変化度合の小さなデータを除くデータをその都度必要データとして竜巻低下時に書き込むようにしてもよい。

【0033】また、上記実施の形態では、 $W1=H$ の状態は500ms間継続したとしても、書き込みプログラムをオンするようにはしたが、例えば、リセット信号（RESET）の発生後に実施される初期化処理と、書き込みプログラムをオンするにしてもよい。具体的には、初期化処理には所定の時間がかかり、その処理中に電源電圧 $V_{cc}$ が昇し、前処理の最後には電源電圧 $V_{cc}$ が正常値まで上昇することがある。この場合、初期化処理の最後で書き込みプログラムをオンしてもよく、これにより、定期的な書き込みを再開すると、いったんデータをSRAM24に書き込むことを回避できる。

【00034】上記実施態様の形態では、バックアップメモリとしてSRAM24を用い、その適用例を説明したが、SRAM24に代えて、EEPROMやフラッシュメモリ等、電気的に記憶内容を消去及び書き込み可能な不揮発性メモリを用いてもよい。要は、電源スイッチのオフ時にも記憶内容を保持するメモリであれば、何れにも本発明が適用できる。

### 【図面の簡単な説明】

【図1】発明の実施の形態におけるECUの概要を示すブロック図。

【図2】SRAMへの書き込み動作を説明するためのタイムチャート。

【図3】 定期的書き込み処理を説明するためのフローチャート。

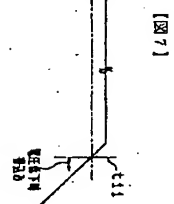
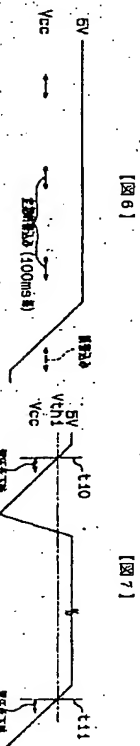
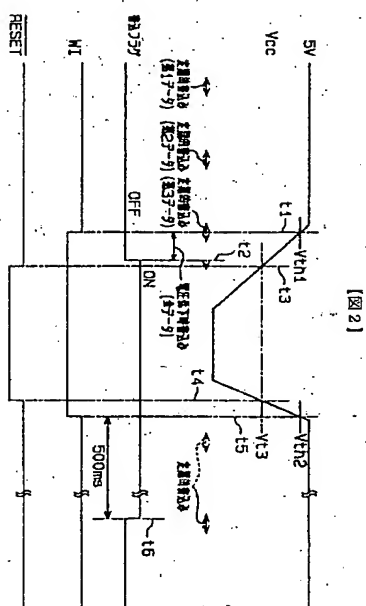
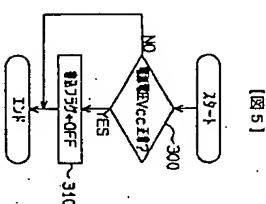
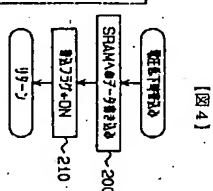
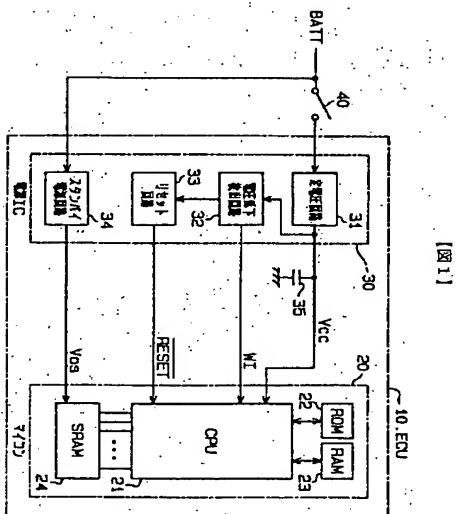
【図4】電圧低下時の書き込み処理を説明するためのフローチャート。

【図5】電源電圧の復帰後の処理を説明するためのフローチャート。

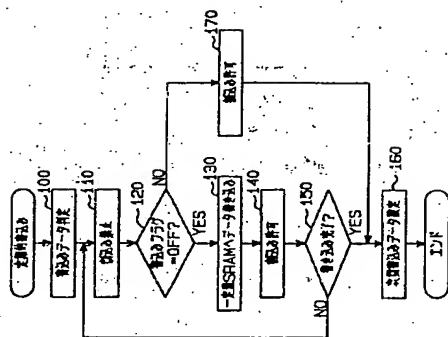
【図6】従来の定期的蓄き込みを説明するためのタイムチャート。

【図7】従来の電圧低下時の書き込みを説明するためのタイムチャート。

【符号の説明】  
10…ECU、20…マイコン、21…CPU、24…SRAM、40…電源スイッチとしてのイグニッションスイッチ。



【図3】



フロントページの続き

Fターム(参考) 3C084 BA05 BA11 BA16 DA04 DA13

EB06 FA02 FA03 FA10 FA20

FA33

55018 CA04 HA03 HA01 QA04 QA05